

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-035221

(43)Date of publication of application : 12.02.1993

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H04N 5/66

(21)Application number : 03-193047

(71)Applicant : SHARP CORP

(22)Date of filing : 01.08.1991

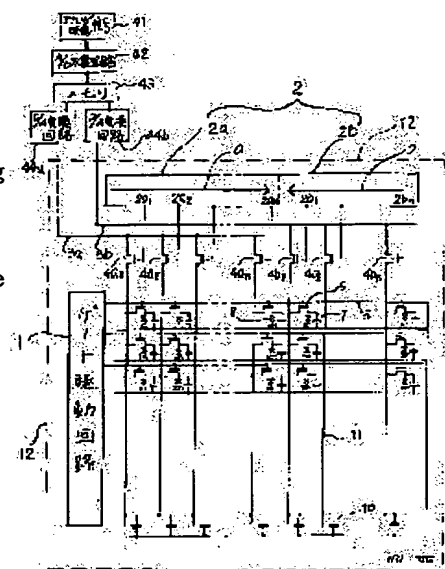
(72)Inventor : SHIMADA NAOYUKI  
AKEHI YASUNAO

## (54) DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To equalize display characteristics of adjacent picture elements and to suppress the generation of a longitudinal line at a division border so as to improve display characteristics by making signal line driving parts corresponding to mutually adjacent display areas opposite in specific scanning direction.

**CONSTITUTION:** A display area is divided into plural parts and a source driving circuit 2 is also divided correspondingly into parts 2a and 2b, which are made opposite in scanning direction to scan the mutually adjacent display areas in opposite directions. In this case, there is the border of the display areas between a picture element array connected to a source bus line 11 connected to an analog switch 4a<sub>n</sub> and a picture element array connected to a source bus line 11 connected to an analog switch 4b<sub>1</sub>, but the analog switches 4a<sub>n</sub> and 4b<sub>1</sub> are switches which are driven finally in one scan of the source driving circuit parts 2a and 2b and also driven substantially at the same time, so the adjacent picture elements on both sides of the border are driven substantially at the same time.



## LEGAL STATUS

[Date of request for examination]

22.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3192444

[Date of registration]

25.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] It is the display equipped with the image display section by which the picture element was arranged in the shape of a matrix. This image display section is horizontally divided into two or more viewing areas, and each of this viewing area includes two or more picture element trains. It has further two or more signal-line mechanical components which scan two or more signal lines which were prepared respectively corresponding to these two or more viewing areas, and were connected to these two or more picture element trains in the corresponding viewing area, respectively in the predetermined direction, and carry out video-signal supply. The display this whose predetermined scanning direction of the signal-line mechanical component corresponding to a \*\*\*\*\* viewing area is the reverse sense mutually, respectively.

[Claim 2] The display according to claim 1 with which said image display section and said signal-line mechanical component are formed on the same substrate.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to displays, such as a active-matrix liquid crystal display.

[0002]

[Description of the Prior Art] In displays, such as a active-matrix liquid crystal display, dividing supply of a video signal into plurality and performing it is proposed (H. Noda et al., JAPAN DISPLAY '89, p256-259). For example, it divides two, and when driving, it can double as compared with the case where a video signal is supplied without dividing the write-in time amount of the video signal of per 1 picture element train (namely, one signal line). Therefore, in such a drive, also when performing a high density display, drive frequency can be made low.

[0003] The active-matrix liquid crystal display improved by drawing 6 is shown. Control of turning on and

off is made by the gate signal by which this liquid crystal display is sent from the gate drive circuit 1 through the gate bus line 5 to TFT6, using a thin film transistor (it calling for short Following TFT) 6 as a switching element. Moreover, control of turning on and off of analog switch 4a1-4an and 4b1-4bn is made with the output of the source drive circuit 2. Analog switch 4a1-4bn intervenes between the source bus lines 11 which are two video-signal supply lines 3a and 3b and signal lines. A video signal is written in a picture element electrode one by one from video-signal supply line 3a or 3b through the selected analog switch four a1 - 4bn, a signal line 11, and TFT6. The written-in video signal is held with the addition capacity 7 arranged at the picture element 8 which consists of forms which sandwich liquid crystal between counterelectrodes and a picture element, and juxtaposition.

[0004] In the case of this example, the display is divided into the left-hand side viewing area and the right-hand side viewing area. The source drive circuit 2 is constituted by source drive circuit section 2a and 2b of two pieces. Such drive circuit section 2a and 2bs drive a left-hand side viewing area and a right-hand side viewing area, respectively. One of the advantages of such a configuration can supply the video signal corresponding to two or more picture elements to coincidence, and it can double the write-in time amount per 1 picture element compared with the case where it writes in as mentioned above, without dividing, and when performing especially a high density display, it can make drive frequency low.

[0005] Since it is sent sequentially, an original video signal needs to shift the timing of a video signal, in order to give such a division indication. Therefore, once the analog video signal from the source 41 of an analog video signal is changed into a digital video signal by the A/D-conversion circuit 42, it is stored in memory 43. The digital video signal read from memory 43 to suitable timing after that is again changed into an analog signal by the D/A conversion circuits 44a and 44b, and is sent out to the video-signal supply lines 3a and 3b corresponding to each division viewing area.

[0006] source drive circuit section 2a and 2b -- the direction of the arrow head in drawing 6 -- each -- the drive scan of the analog switch 4a1-4bn is carried out one by one, and a video signal is supplied to each source bus line 11. The scanning direction of source drive circuit section 2a in this case and 2b is the same as the scanning direction of the source drive circuit in the conventional display.

[0007]

[Problem(s) to be Solved by the Invention] The timing which supplies a video signal to drawing 7 at each picture element of one line connected to a certain gate bus line is shown. (a) of drawing 7 shows the signal (gate signal) outputted from the gate drive circuit 21 to one of the gate bus line 5. (b) of drawing 7 shows the signal (below, such a signal is called a "sampling signal") impressed to the analog switch four a1 connected to the source bus line 11 of the beginning of a scanning direction, or the gate of four b1. (c) of drawing 7 shows the sampling signal impressed to the gate of analog switch 4an or 4bn(s) connected to the source bus line 11 of the last of a scanning direction. While the sampling signal corresponding to each source bus line 11 is H, a video signal is read from video-signal supply line 3a or 3b, and it is written in each picture element one by one.

[0008] In this case, the time amount from which the video signal corresponding to the pulse width of the sampling signal of each source bus line, i.e., each picture element, is read to each source bus line 11 from video-signal supply line 3a or 3b is the same. However, time amount after analog switch 4a1-4bn connected to video-signal supply line 3a or 3b closes, until a gate signal is brought down and the writing of the signal to each picture element electrode finishes has the difference of the time amount near the drive time amount of each gate bus line 5 by the source bus line of the beginning in a scanning direction, and the last source bus line. Since the off resistance of analog switch 4a1-4bn is limited, between this time amount, the read video signal will decrease the capacity 10 between analog switch 4a1-4bn, the source bus line 11, and a gland according to the leakage current which leads, and the level of the video signal written in to each picture element will change. For this reason, between the picture elements which adjoin in the direction of a train, even if it is the case where the same level should be displayed, a difference will arise on display level.

[0009] Since it cannot check by looking if this display level is changing gently regarding the place, it is

not a problem. However, since a picture element is as \*\*\*\* small with a picture element with the largest attenuation of a video signal in a display when 2 \*\*\*\*\* is carried out in the center of a display like drawing 6 , the difference in the video signal will be remarkably conspicuous. Consequently, a vertical line is checked by looking by the core of a display in the configuration of drawing 6 , and there is a problem that a display property is spoiled.

[0010] It is possible to reduce drive frequency and this invention aims at offering the display with which a good display property is moreover acquired.

[0011]

[Means for Solving the Problem] The display of this invention is a display equipped with the image display section by which the picture element was arranged in the shape of a matrix. This image display section is horizontally divided into two or more viewing areas, and each of this viewing area includes two or more picture element trains. It has further two or more signal-line mechanical components which scan two or more signal lines which were prepared respectively corresponding to these two or more viewing areas, and were connected to these two or more picture element trains in the corresponding viewing area, respectively in the predetermined direction, and carry out video-signal supply. This predetermined scanning direction of the signal-line mechanical component corresponding to a \*\*\*\*\* viewing area is mutually made into the reverse sense, respectively, and the above-mentioned purpose is attained by that.

[0012] Moreover, it is desirable that said image display section and said signal-line mechanical component are formed on the same substrate.

[0013]

[Function] In the display of this invention, the holding time of a signal when the write-in time amount of the video signal about a \*\*\*\*\* picture element or a video signal is supplied on a division boundary becomes the same. As a result, the identity of the drive timing in a \*\*\*\*\* picture element improves, generating of the vertical line checked by looking in a display is controlled, and a display property improves.

[0014]

[Example] This invention is explained below about an example.

[0015] The 1st example of this invention is shown in drawing 1 . If the configuration of this example removes the source drive circuit 2, it is the same as that of it of the liquid crystal display of above-mentioned drawing 6 , and abbreviation. Therefore, explanation is omitted about the same part. The source drive circuit 2 is equipped with source drive circuit section 2a and 2b of two pieces in this example. Output 2a1-2an of source drive circuit section 2a is connected to the n gates of analog switch 4a1-4an, respectively, and output 2b1 of source drive circuit section 2b - 2bn are connected to the n gates of analog switch 4b1-4bn, respectively.

[0016] As shown in drawing 2 , source drive circuit section 2a carries out an output two a1, two a2, --, 2an at a high at this order, namely, gives a sampling signal in the direction of the illustration arrow head a (from the left to the right) one by one. Therefore, analog switch 4a1-4an serves as ON at this order, and a video signal is given in the direction of an arrow head a to each picture element electrode of the left-hand side viewing area of a display.

[0017] On the other hand, source drive circuit section 2b carries out output 2bn, 2b n-1, --, 2b1 at a high at this order, namely, gives a sampling signal in the direction of the illustration arrow head b (from the right to the left) one by one. Therefore, analog switch 4bn-4b1 becomes ON at this order, and a video signal is given to each picture element electrode of the right-hand side viewing area of a display in the direction of an arrow head b.

[0018] The outline of the configuration of the source drive circuit 2 is shown in drawing 3 . Source drive circuit section 2a and 2b consist of n steps of shift registers, respectively. The figure in a shift register shows the stage of the shift register. In this example, as for the shift register with which the stage is arranged and, as for the shift register which constitutes source drive circuit section 2a, constitutes

source drive circuit section 2b in the direction of Hidari of drawing to the right, the stage is arranged in the direction of Hidari from the right of drawing. If a start signal is inputted, each shift register will start a high output from the output of the first rank, and henceforth, whenever a clock signal is inputted, one step of stage which outputs a high shifts at a time to the latter part in order. Therefore, from the shift register which constitutes source drive circuit section 2a, a sampling signal is outputted in the direction of an arrow head a in order, and a sampling signal is outputted in the direction of an arrow head b in order from the shift register which constitutes source drive circuit section 2b. This shift direction is determined by the circuitry of a shift register. By this configuration, both source drive circuit section 2a and 2b can perform the drive scan of hard flow mutually. Moreover, a direction control signal is given to each shift register, and the shift direction (namely, the direction of the order of a sampling signal output) can be suitably changed according to this direction control signal.

[0019] In this example, the boundary of a viewing area is between the picture element train connected to the source bus line 11 connected to analog switch 4an, and the picture element train connected to the source bus line 11 connected to the analog switch four b1. as mentioned above, the analog switch which drives analog switch 4an and an analog switch four b1 at the end in both source drive circuit section 2a and one scan of 2b -- it is -- both -- analog switch 4an and four b1 are substantially driven to coincidence. Therefore, the picture element which adjoins mutually [ the boundary both sides between both viewing areas ] is substantially driven to coincidence, those display properties are the same, and when the video signal of the same level is written in, these adjoining picture elements display the same level. For this reason, a vertical line is not checked by looking on the boundary between both viewing areas.

[0020] The source drive circuit 2 is formed on the glass substrate 12 with which the display is formed. Since according to this configuration the active element used as the drive circuit near a viewing-area boundary and an analog switch moreover approaches and can form on the same substrate, the advantage that the difference of a property becomes smaller is brought about. In the case of the driver with the so-called outside which forms a drive circuit out of a substrate 12, since it is constituted combining LSI obtained from a different wafer, a drive circuit must sort out and use LSI in order to make small the difference of the property for every drive circuit. In this example, such sorting becomes unnecessary.

[0021] The 2nd example of this invention is shown in drawing 4 . In this example, the display is divided into five viewing areas and the source drive circuit 2 is equipped with the five source drive circuit sections 2a-2e corresponding to it. Moreover, the video signal over each viewing area is supplied from five video-signal supply lines 3a-3e. The source drive circuit sections 2a, 2c, and 2e output a sampling signal in the direction of an arrow head a. On the other hand, source drive circuit section 2b and 2d of sampling signals are outputted in the direction of an arrow head b. Analog switch 4a1-4bn opens and closes with those sampling signals. Therefore, the picture element which adjoins mutually [ the boundary both sides between each viewing area ] is substantially driven to coincidence, those display properties are the same, and when the video signal of the same level is written in, these adjoining picture elements display the same level. For this reason, in this example, a vertical line is not checked by looking on the boundary between each viewing area.

[0022] The scanning direction of each source drive circuit section in each above-mentioned example is suitably chosen so that the scanning direction of a \*\*\*\*\* viewing area may serve as reverse sense mutually.

[0023] Moreover, although the example of the drive method which writes a video signal in the source bus line 11 directly was explained, this invention is not limited to the display of such a drive method. For example, this invention once stores the video signal read from the video-signal supply line 3 as shown in drawing 5 in capacity 62, and can apply it also to the display of the method which supplies it to the source bus line 11 with a transfer signal. The example which applied the same configuration as the example of drawing 1 to the display of this drive method is explained. The video signal given to the

video-signal supply line 3 through the analog switch 4 which is opened and closed with the sampling signal shown in drawing 2 in the case of this 3rd example is once stored in capacity 62. The video signal stored in this capacity 62 will be supplied to the source bus line 11, if an analog switch 63 is turned on with a transfer signal. Supply to the source bus line 11 of this video signal is performed at once for every division viewing area. In this example, the holding time by the capacity 62 of the video signal over the picture element which adjoins mutually [ the boundary both sides between both viewing areas ] becomes the same. Therefore, those display properties become the same, and when the video signal of the same level is written in, these adjoining picture elements display the same level. Therefore, in this example, a vertical line is not checked by looking on the boundary between both viewing areas.

[0024]

[Effect of the Invention] In the display of this invention, the holding time of a signal when the write-in time amount of the video signal about a \*\*\*\*\* picture element or a video signal is supplied on a division boundary becomes the same so that clearly from the above explanation. Consequently, the display property in a \*\*\*\*\* picture element becomes the same, generating of the vertical line in a division boundary is controlled, and a display property improves.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the configuration of the active-matrix substrate which divided the display in the 1st example of this invention into two.

[Drawing 2] It is the timing chart of the sampling signal in the 1st example.

[Drawing 3] It is drawing showing the configuration of the source drive circuit section in the 1st example.

[Drawing 4] It is drawing explaining the configuration of the 2nd example of this invention.

[Drawing 5] It is the representative circuit schematic of the part which writes a video signal in 1 picture element in the 3rd example of this invention.

[Drawing 6] It is drawing explaining the configuration of the improved display.

[Drawing 7] It is the timing chart of the sampling signal in the indicating equipment of drawing 6 .

[Description of Notations]

1 Gate Drive Circuit

2 Source Drive Circuit

2a, 2b Source drive circuit section

3a, 3b Video-signal supply line

4a1-4an Analog switch

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-35221

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		
H 0 4 N 5/66	1 0 2 B	7205-5C		

審査請求 未請求 請求項の数2(全10頁)

(21)出願番号 特願平3-193047

(22)出願日 平成3年(1991)8月1日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 島田 尚幸

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 明比 康直

大阪市阿倍野区長池町22番22号 シャープ株式会社内

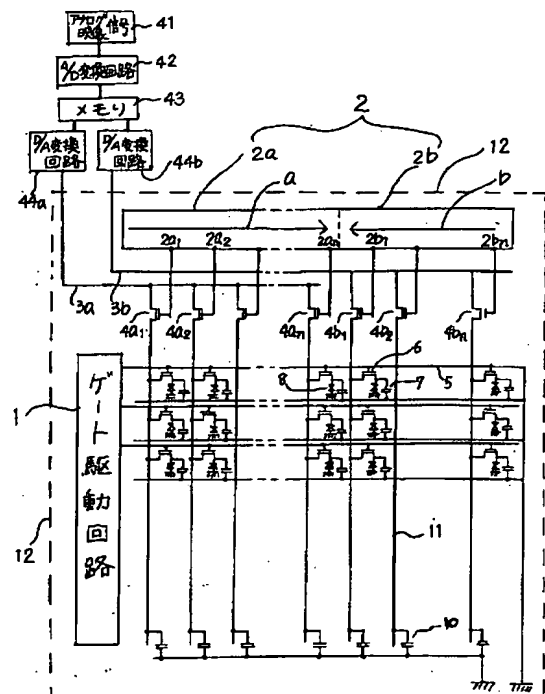
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 表示装置

(57)【要約】

【構成】表示領域を複数に分割し、ソース駆動回路2もそれに対応して部分2a、2bに分割する。ソース駆動回路2の部分2a、2bの走査方向を互いに逆にし、互いに隣合う表示領域の互いに逆方向に走査する。

【効果】隣合う絵素における表示特性が同じになり、分割境界での縦線の発生が抑制されて表示特性が向上する。



(2)

## 【特許請求の範囲】

【請求項1】 絵素がマトリクス状に配列された画像表示部を備えた表示装置であって、

該画像表示部が水平方向に複数の表示領域に分割されており、該表示領域のそれぞれは複数の絵素列を含み、該複数の表示領域にそれぞれ対応して設けられ、対応する表示領域に於いて該複数の絵素列にそれぞれ接続された複数の信号線を所定方向に走査して映像信号供給する複数の信号線駆動部を更に備え、

互いに隣合う表示領域にそれぞれ対応する信号線駆動部の該所定走査方向が互いに逆向きである表示装置。 10

【請求項2】 前記画像表示部と前記信号線駆動部とが同一基板上に形成されている請求項1に記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス液晶表示装置等の表示装置に関するものである。

## 【0002】

【従来の技術】 アクティブマトリクス液晶表示装置等の表示装置に於いて、映像信号の供給を複数の分割して行うことが提案されている（H. Nodaら、JAPAN DISPLAY '89、p256-259）。例えば2分割して駆動する場合には、1絵素列（即ち、1信号線）当たりの映像信号の書き込み時間を、分割せずに映像信号を供給する場合に比較して2倍にすることができる。従って、このような駆動に於いては、高密度表示を行う場合にも駆動周波数を低くすることが出来る。

【0003】 図6に改良されたアクティブマトリクス液晶表示装置を示す。この液晶表示装置は、スイッチング素子として薄膜トランジスタ（以下TFTと略称する）6を用いるものであり、TFT6に対してはゲート駆動回路1よりゲートバスライン5を通じて送られるゲート信号によってオンオフの制御がなされる。また、ソース駆動回路2の出力によってアナログスイッチ4a<sub>1</sub>～4a<sub>n</sub>及び4b<sub>1</sub>～4b<sub>n</sub>のオンオフの制御がなされる。アナログスイッチ4a<sub>1</sub>～4b<sub>n</sub>は、2本の映像信号供給線3a、3bと信号線であるソースバスライン11との間に介在する。映像信号は、映像信号供給線3a又は3bから、選択されたアナログスイッチ4a<sub>1</sub>～4b<sub>n</sub>、信号線11及びTFT6を通じて絵素電極に順次書き込まれる。書き込まれた映像信号は、対向電極との間に液晶を挟む形で構成される絵素8、及び絵素と並列に配置された付加容量7によって保持される。

【0004】 この例の場合、表示部が左側表示領域と右側表示領域に分割されている。ソース駆動回路2は2個のソース駆動回路部2a及び2bによって構成されている。これらの駆動回路部2a及び2bはそれぞれ左側表示領域、右側表示領域を駆動する。このような構成の利点の一つは同時に複数の絵素に対応する映像信号を供給することができ、前述のように、分割せずに書き込む場 50

2

合に比べて1絵素当りの書き込み時間を2倍にすることができ、特に高密度表示を行う場合に駆動周波数を低くすることができる。

【0005】 本来の映像信号はシーケンシャルに送られてくるため、このような分割表示をさせるためには映像信号のタイミングをずらす必要がある。そのために、アナログ映像信号源41からのアナログ映像信号は、A/D変換回路42によってデジタル映像信号に一旦変換された後にメモリ43に格納される。その後、適当なタイミングでメモリ43から読み出されたデジタル映像信号はD/A変換回路44a及び44bによって再びアナログ信号に変換されて各々の分割表示領域に対応する映像信号供給線3a及び3bに送出される。

【0006】 ソース駆動回路部2a及び2bは図6中の矢印の方向に各アナログスイッチ4a<sub>1</sub>～4b<sub>n</sub>を順次に駆動走査して映像信号を各ソースバスライン11に供給する。この場合のソース駆動回路部2a及び2bの走査方向は、従来の表示装置に於けるソース駆動回路の走査方向と同じである。

## 【0007】

【発明が解決しようとする課題】 図7に、あるゲートバスラインに接続される1行の各絵素に映像信号を供給するタイミングを示す。図7の（a）はゲート駆動回路21よりゲートバスライン5の1本に出力される信号（ゲート信号）を示しており、図7の（b）は走査方向の最初のソースバスライン11に接続されているアナログスイッチ4a<sub>1</sub>又は4b<sub>1</sub>のゲートに印加される信号（以下ではこのような信号を「サンプリング信号」と称す）を示しており、図7の（c）は走査方向の最後のソースバスライン11に接続されているアナログスイッチ4a<sub>n</sub>又は4b<sub>n</sub>のゲートに印加されるサンプリング信号を示している。それぞれのソースバスライン11には対応するサンプリング信号がHとなっている間に映像信号供給線3a又は3bから映像信号が読み出され、順次各絵素へ書き込まれる。

【0008】 この場合、各ソースバスラインのサンプリング信号のパルス幅、即ちそれぞれの絵素に対応する映像信号が映像信号供給線3a又は3bより各ソースバスライン11へ読み出される時間は同じである。しかし、映像信号供給線3a又は3bに接続されているアナログスイッチ4a<sub>1</sub>～4b<sub>n</sub>が閉じてからゲート信号が立ち下げられて各絵素電極への信号の書き込みが終わるまでの時間は、走査方向中の最初のソースバスラインと最後のソースバスラインとでは各ゲートバスライン5の駆動時間に近い時間の差がある。アナログスイッチ4a<sub>1</sub>～4b<sub>n</sub>のオフ抵抗は有限であるため、この時間の間には読み出した映像信号がアナログスイッチ4a<sub>1</sub>～4b<sub>n</sub>やソースバスライン11とグランドとの間の容量10を通じるリーク電流によって減衰し、それぞれの絵素に対して書き込まれる映像信号のレベルが変化してしまう。この



(3)

3

ため、列方向に隣接する絵素間では、同一レベルの表示を行うべき場合であっても、表示レベルに差が生じることになる。

【0009】この表示レベルが場所的に緩やかに変化しているのであれば視認できないため問題ではない。しかしながら図6の様に表示部の中央で2分割されている場合には表示部のなかで最も映像信号の減衰が大きい絵素と小さく絵素とが隣合っているために、その映像信号の違いが著しく目立つことになる。その結果、図6の構成においては表示部の中心に縦線が視認され表示特性が損なわれるという問題がある。

【0010】本発明は、駆動周波数を低減することが可能であり、しかも良好な表示特性が得られる表示装置を提供することを目的としている。

【0011】

【課題を解決するための手段】本発明の表示装置は、絵素がマトリクス状に配列された画像表示部を備えた表示装置であって、該画像表示部が水平方向に複数の表示領域に分割されており、該表示領域のそれぞれは複数の絵素列を含み、該複数の表示領域にそれぞれ対応して設けられ、対応する表示領域に於いて該複数の絵素列にそれぞれ接続された複数の信号線を所定方向に走査して映像信号供給する複数の信号線駆動部を更に備え、互いに隣合う表示領域にそれぞれ対応する信号線駆動部の該所定走査方向が互いに逆向きとされており、そのことにより上記目的が達成される。

【0012】また、前記画像表示部と前記信号線駆動部とが同一基板上に形成されているのが好ましい。

【0013】

【作用】本発明の表示装置に於いては、分割境界において隣合う絵素についての映像信号の書き込み時間、又は映像信号が供給されたときの信号の保持時間は同じになる。その結果隣合う絵素における駆動タイミングの同一性が向上し、表示部中で視認される縦線の発生が抑制されて表示特性が向上する。

【0014】

【実施例】本発明を実施例について以下に説明する。

【0015】本発明の第1の実施例を図1に示す。この実施例の構成はソース駆動回路2を除いては前述の図6の液晶表示装置のそれと略同様である。従って、同様の部分については説明を省略する。本実施例では、ソース駆動回路2は2個のソース駆動回路部2a及び2bを備えている。ソース駆動回路部2aの出力 $2a_1 \sim 2a_n$ はそれぞれn個のアナログスイッチ $4a_1 \sim 4a_n$ のゲートに接続されており、ソース駆動回路部2bの出力 $2b_1 \sim 2b_n$ はそれぞれn個のアナログスイッチ $4b_1 \sim 4b_n$ のゲートに接続されている。

【0016】ソース駆動回路部2aは、図2に示すように出力 $2a_1, 2a_2, \dots, 2a_n$ をこの順にハイにする、即ち図示矢印aの方向（左から右）に順次にサンプ

4

リング信号を与える。従って、アナログスイッチ $4a_1 \sim 4a_n$ はこの順にオンとなり、映像信号は表示部の左側表示領域の各絵素電極に対しては矢印aの方向に与えられる。

【0017】一方、ソース駆動回路部2bは、出力 $2b_n, 2b_{n-1}, \dots, 2b_1$ をこの順にハイにする、即ち図示矢印bの方向（右から左）に順次にサンプリング信号を与える。従って、アナログスイッチ $4b_n \sim 4b_1$ はこの順にオンとなり、映像信号は表示部の右側表示領域の各絵素電極に矢印bの方向に与えられる。

【0018】図3にソース駆動回路2の構成の概略を示す。ソース駆動回路部2a及び2bはそれぞれn段のシフトレジスタで構成されている。シフトレジスタ内の数字はそのシフトレジスタの段を示している。本実施例では、ソース駆動回路部2aを構成するシフトレジスタは図の左から右の方向に段が配列されており、ソース駆動回路部2bを構成するシフトレジスタは図の右から左の方向に段が配列されている。スタート信号が入力されると各シフトレジスタは初段の出力からハイの出力を開始し、以後はクロック信号が入力される毎にハイを出力する段が順に一段ずつ後段にずれていく。従って、ソース駆動回路部2aを構成するシフトレジスタからは矢印aの方向にサンプリング信号が順に出力され、ソース駆動回路部2bを構成するシフトレジスタからは矢印bの方向にサンプリング信号が順に出力される。このシフト方向はシフトレジスタの回路構成によって決定される。この構成により、両ソース駆動回路部2a及び2bは互いに逆方向の駆動走査を行うことができる。又、各シフトレジスタに方向制御信号を与え、この方向制御信号に応じてシフト方向（即ち、サンプリング信号出力順の方向）を適宜に変化させるようにすることもできる。

【0019】本実施例では、アナログスイッチ $4a_n$ に接続されたソースバスライン11に接続された絵素列と、アナログスイッチ $4b_1$ に接続されたソースバスライン11に接続された絵素列との間に表示領域の境界がある。前述のように、アナログスイッチ $4a_n$ 及びアナログスイッチ $4b_1$ は両ソース駆動回路部2a及び2bの1走査に於いて最後に駆動されるアナログスイッチであり、両アナログスイッチ $4a_n$ 及び $4b_1$ は実質的に同時に駆動される。従って、両表示領域間の境界両側の互いに隣接する絵素は実質的に同時に駆動され、それらの表示特性は同じであり、同一レベルの映像信号が書き込まれた場合にはこれらの隣接する絵素は同一レベルの表示を行う。このため、両表示領域間の境界において縦線が視認されることがない。

【0020】ソース駆動回路2は、表示部が形成されているガラス基板12の上に形成されている。この構成によれば、表示領域境界付近の駆動回路及びアナログスイッチとなる能動素子が同じ基板上でしかも近接して形成できるため、特性の差がより小さくなるという利点がある。

50

(4)

5

たらされる。駆動回路を基板12外に形成する所謂外付ドライバの場合には、駆動回路は異なったウェハから得られるLSIを組み合わせるため、駆動回路毎の特性の差を小さくするためLSIを選別して使用しなければならない。本実施例では、そのような選別が不要になる。

【0021】図4に本発明の第2の実施例を示す。この実施例では、表示部は5個の表示領域に分割されており、それに対応してソース駆動回路2は5個のソース駆動回路部2a~2eを備えている。また、各表示領域に対する映像信号は5本の映像信号供給線3a~3eから供給される。ソース駆動回路部2a、2c及び2eは矢印aの方向にサンプリング信号を出力する。一方、ソース駆動回路部2b及び2dは矢印bの方向にサンプリング信号を出力する。それらのサンプリング信号によってアナログスイッチ4a<sub>1</sub>~4a<sub>n</sub>が開閉する。従って、各表示領域間の境界両側の互いに隣接する絵素は実質的に同時に駆動され、それらの表示特性は同じであり、同一レベルの映像信号が書き込まれた場合にはこれらの隣接する絵素は同一レベルの表示を行う。このため、本実施例に於いても、各表示領域間の境界において縦線が視認されることがない。

【0022】上述の各実施例に於ける各ソース駆動回路部の走査方向は、隣合う表示領域の走査方向が互いに逆向きとなるように適宜に選択される。

【0023】また、映像信号をソースバスライン11に直接書き込む駆動方式の実施例を説明したが、本発明はこのような駆動方式の表示装置に限定されるものではない。例えば、本発明は図5に示すような、映像信号供給線3から読み出した映像信号を容量62に一旦蓄え、それをトランスファ信号によってソースバスライン11に供給する方式の表示装置にも適用できる。この駆動方式の表示装置に図1の実施例と同様の構成を適用した実施例を説明する。この第3の実施例の場合には、図2に示したサンプリング信号によって開閉するアナログスイッチ4を介して映像信号供給線3に与えられた映像信号は容量62に一旦蓄えられる。この容量62に蓄えられた映像信号はトランスファ信号によってアナログスイッチ63がオンになるとソースバスライン11に供給され

6

る。この映像信号のソースバスライン11への供給は分割表示領域毎に一度に行われる。この実施例に於いては、両表示領域間の境界両側の互いに隣接する絵素に対する映像信号の容量62による保持時間は同じになる。従って、それらの表示特性は同じになり、同一レベルの映像信号が書き込まれた場合にはこれらの隣接する絵素は同一レベルの表示を行う。そのため、この実施例に於いても両表示領域間の境界において縦線が視認されることがない。

【0024】

【発明の効果】以上の説明から明らかなように、本発明の表示装置に於いては、分割境界において隣合う絵素についての映像信号の書き込み時間、又は映像信号が供給されたときの信号の保持時間は同じになる。その結果、隣合う絵素における表示特性が同じになり、分割境界での縦線の発生が抑制されて表示特性が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施例における表示部を2分割したアクティブマトリクス基板の構成を説明する図である。

【図2】第1の実施例に於けるサンプリング信号のタイミングチャートである。

【図3】第1の実施例に於けるソース駆動回路部の構成を示す図である。

【図4】本発明の第2の実施例の構成を説明する図である。

【図5】本発明の第3の実施例に於ける1絵素に映像信号を書き込む部分の等価回路図である。

【図6】改良された表示装置の構成を説明する図である。

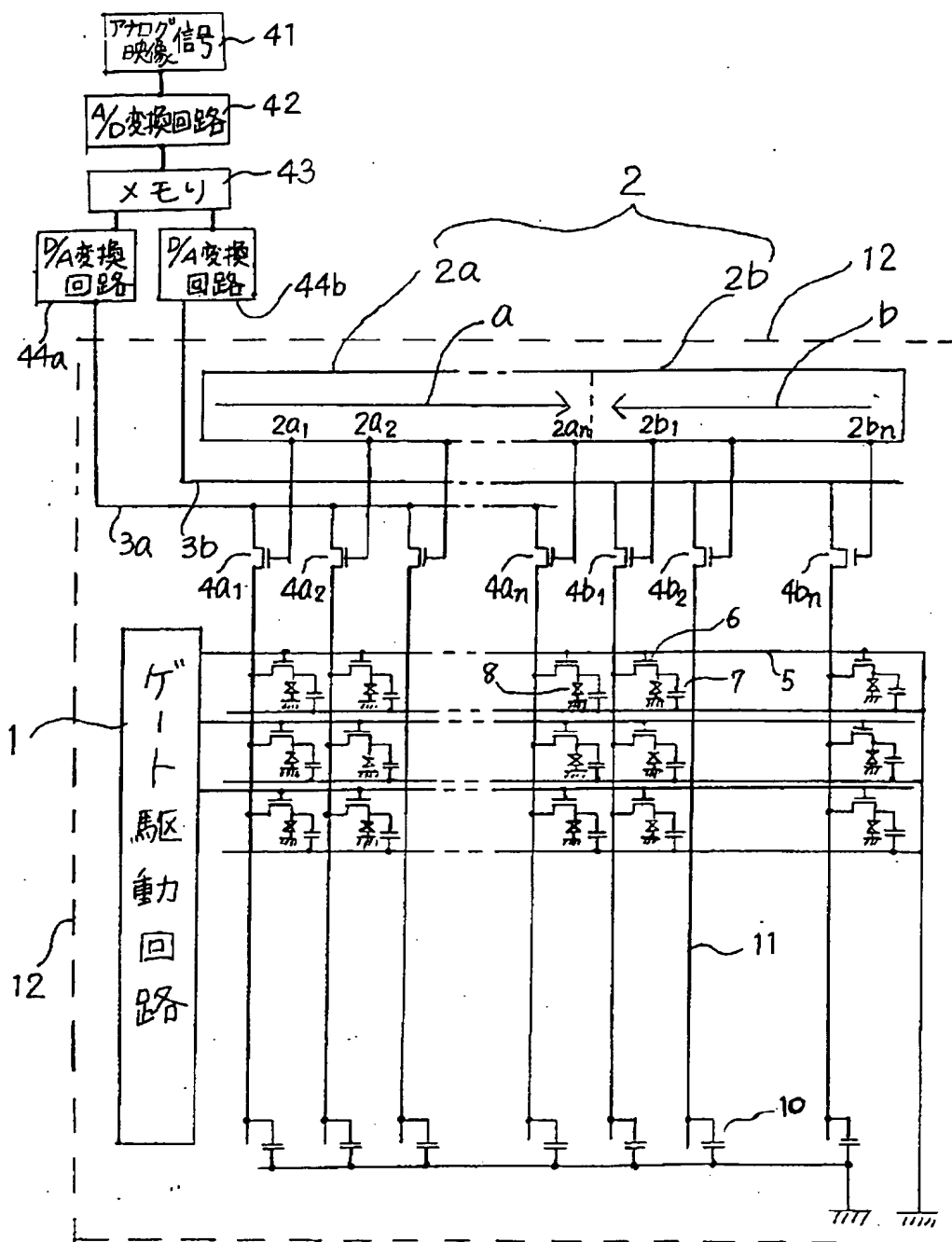
【図7】図6の表示装置に於けるサンプリング信号のタイミングチャートである。

【符号の説明】

- 1 ゲート駆動回路
- 2 ソース駆動回路
- 2a、2b ソース駆動回路部
- 3a、3b 映像信号供給線
- 4a<sub>1</sub>~4a<sub>n</sub> アナログスイッチ

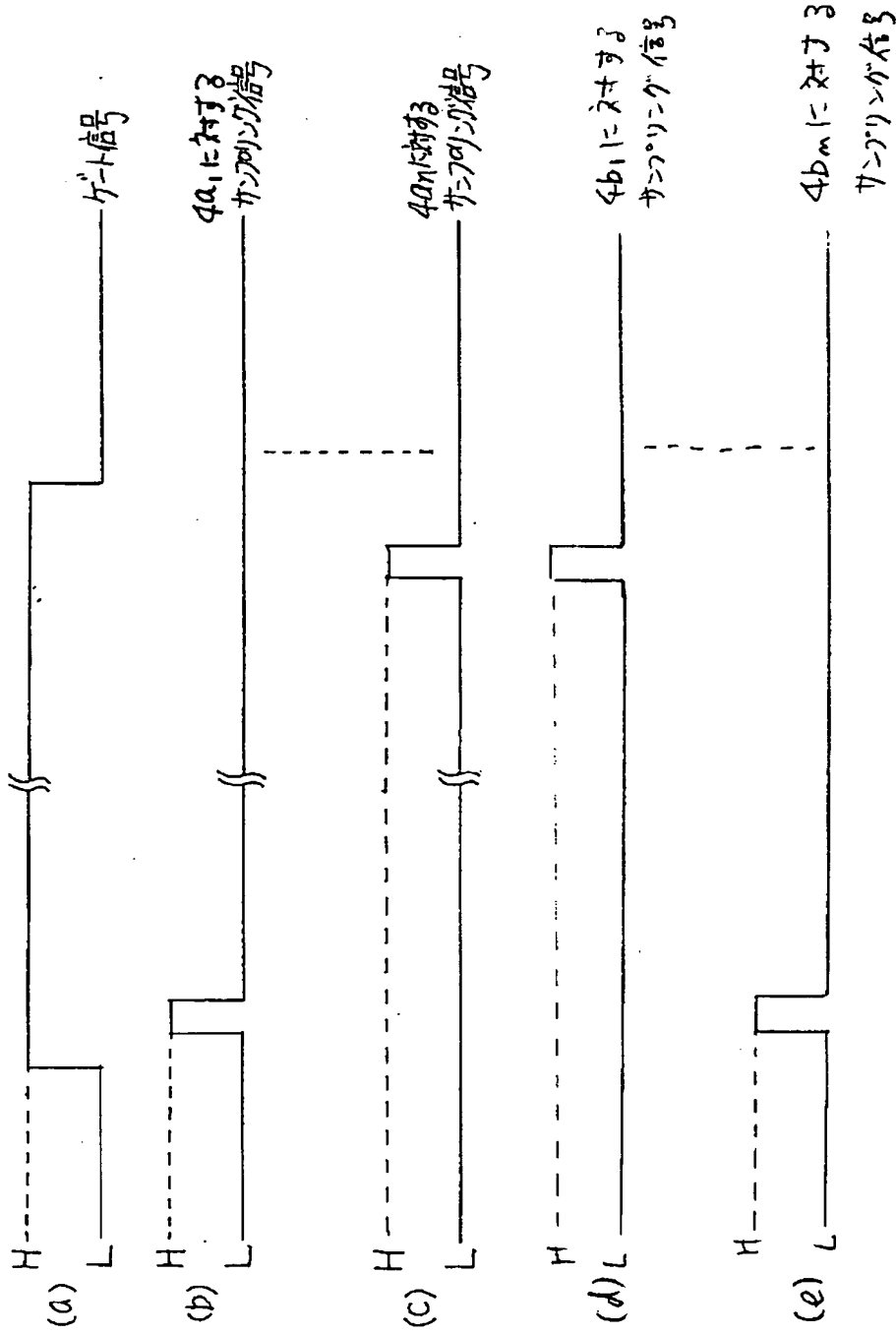
(5)

【図1】

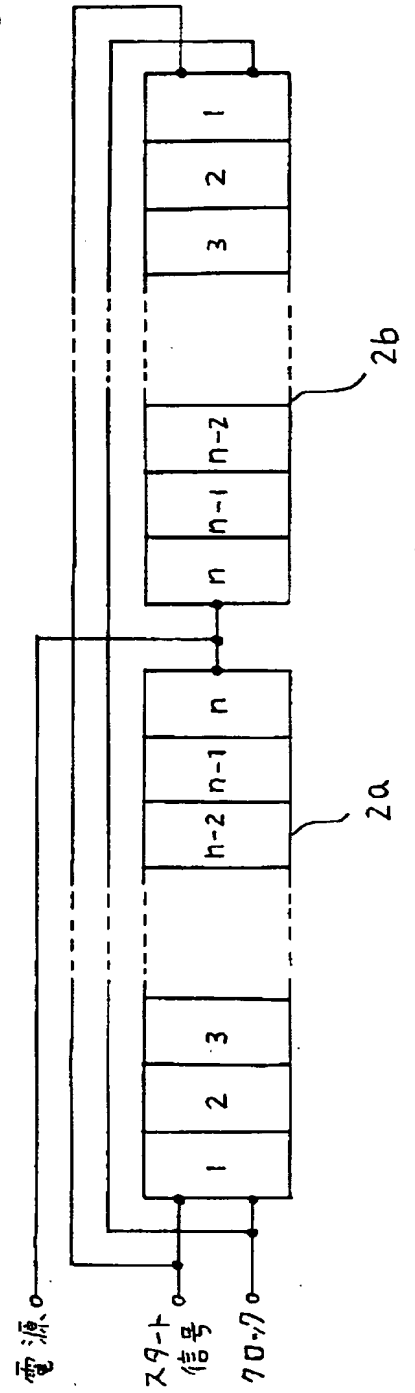


(6)

【図2】

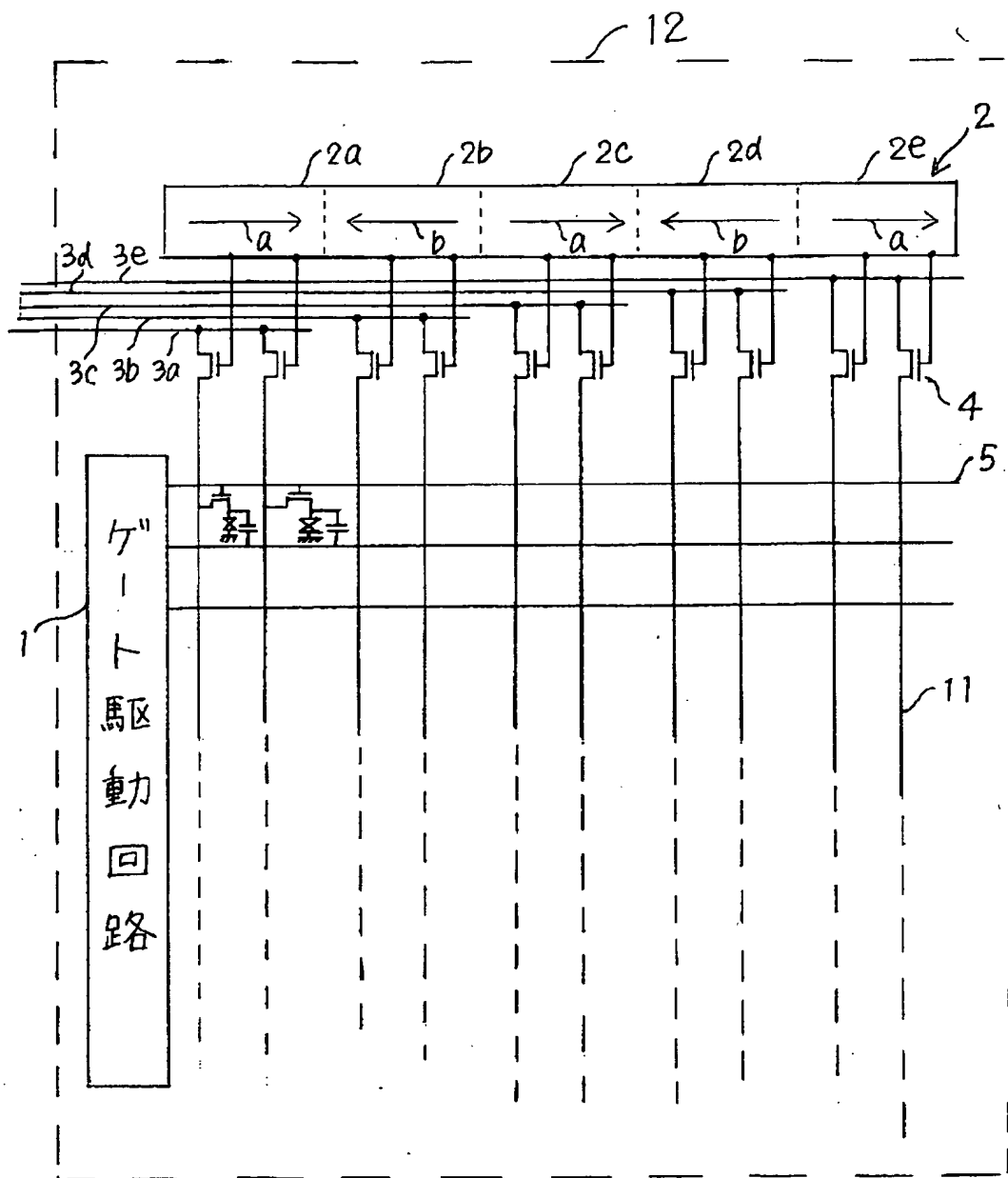


【図3】



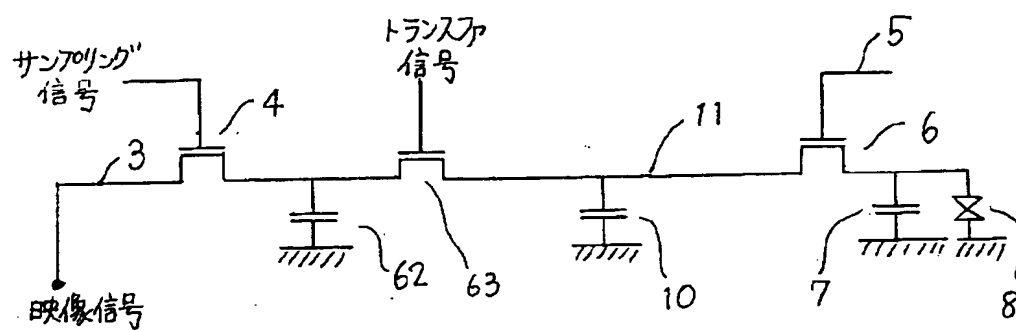
(7)

【図4】



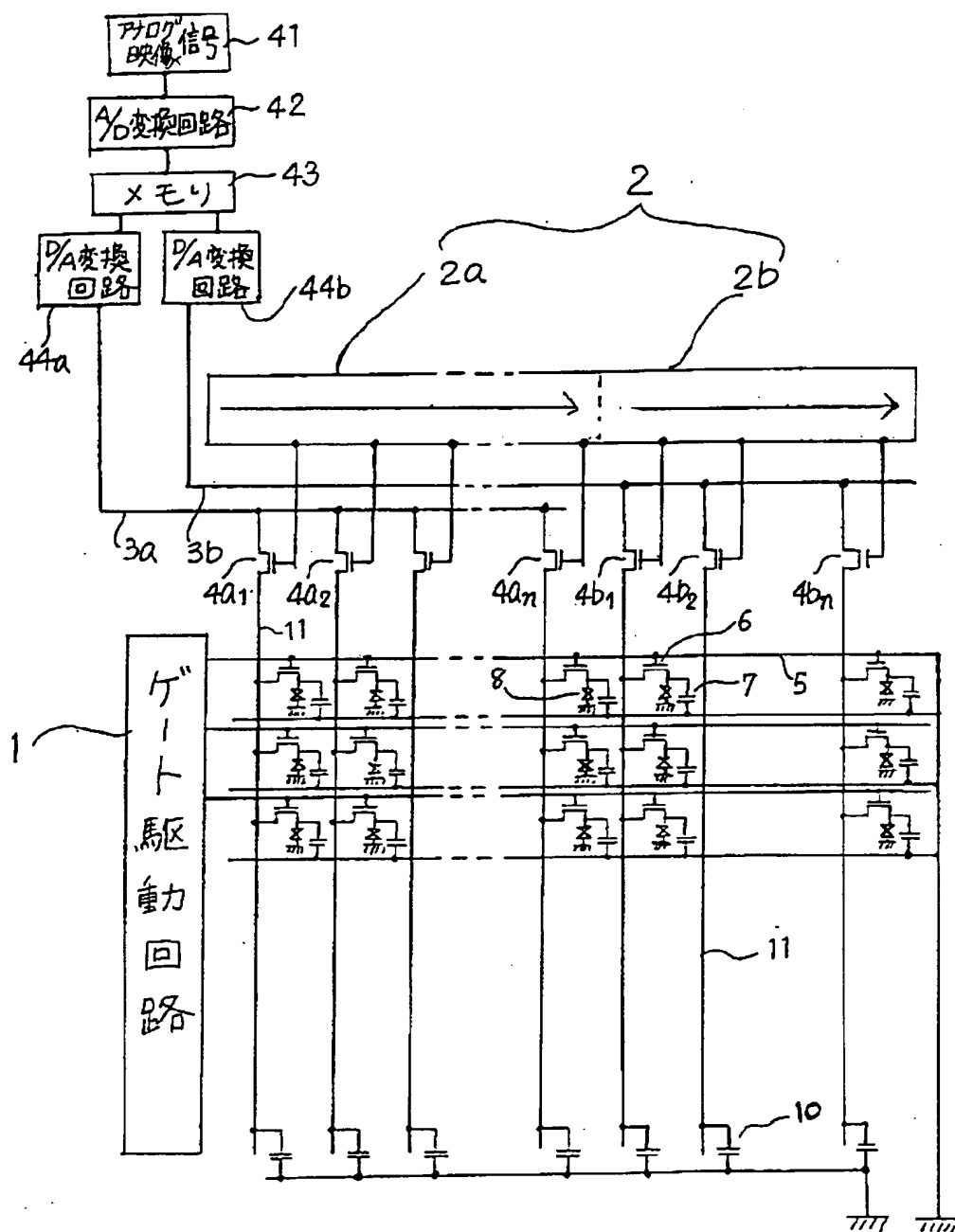
(8)

【図5】



(9)

【図6】



(10)

【図7】

